

## PERANCANGAN DECODER 2 BINARY, 1 QUATERNARY BERBASIS FIELD PROGRAMMABLE GATE ARRAY

Lidemar Halide<sup>1)</sup>, Airin Dewi Utami Thamrin<sup>1)</sup>

<sup>1)</sup>Dosen Jurusan Teknik Elektro, Politeknik Negeri Ujung Pandang, Makassar

### ABSTRACT

In digital communication systems, data is transmitted in the form of pulse pulses "0" and "1". If the information transmitted is still in analog form, it is first converted to digital form. The process of converting analog signals to digital signals using the NRZ, Bipolar-AMI, 2B1Q and HDB3 signal encoding according to the channel to be passed. This encoding is called channel encoding. Generally digital signal representation uses NRZ with two voltage levels. Representation of bits 0 and 1 on a data communication network using copper cables requires special attention related to the signal. One of them is attenuation which makes the signal weaker with increasing distance and higher frequency. Thus we need an encoding technique with the qualification characteristics of the distance and frequency of information. 2B1Q is a binary coding technique that is represented in 1 of 4 signal elements. So the data is sent at twice the speed compared to NRZ coding.

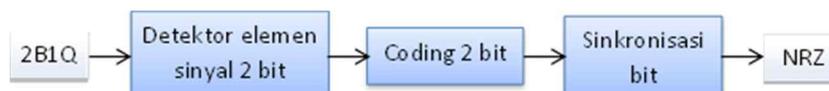
**Keywords:** coding, line, elemen, signal, bit.

### 1. PENDAHULUAN

Pada sistem komunikasi digital, data ditransmisikan dalam bentuk pulsa bit "0" dan "1". Jika informasi yang ditransmisikan masih dalam bentuk analog, terlebih dahulu diubah ke dalam bentuk digital. Proses pengubahan sinyal analog ke sinyal digital menggunakan pengkodean sinyal diantaranya yaitu NRZ, Bipolar-AMI, 2B1Q dan HDB3 sesuai dengan saluran yang akan dilaluinya. Pengkodean ini biasa disebut dengan penyandian saluran. Umumnya representasi sinyal digital menggunakan NRZ dengan dua level tegangan. Representasi bit 0 dan 1 pada jaringan komunikasi data menggunakan kabel tembaga memerlukan perhatian khusus yang berhubungan dengan sinyal. Salah satunya adalah atenuasi yang membuat sinyal melemah dengan bertambahnya jarak dan frekuensi yang semakin tinggi. Dengan demikian diperlukan suatu teknik penyandian yang bukan sekedar merepresentasikan informasi ke dalam bit 0 dan 1, tetapi memiliki kualifikasi yang berkaitan dengan karakteristik jarak dan frekuensi informasi. 2B1Q adalah suatu teknik pengkodean 2 (dua) biner yang direpresentasikan dalam 1 dari 4 level tegangan. Pola data yang terdiri dari 2 bit dikodekan menjadi sebuah elemen sinyal yang merupakan bagian dari empat level sinyal. Sehingga data terkirim dengan kecepatan 2 (dua) kali lebih cepat dibanding dengan pengkodean NRZ. Pada penelitian ini didesain dan diimplementasikan penyandian saluran 2B1Q menggunakan metode sistem on chip dan diimplementasikan pada FPGA sebagai modul pembelajaran pada Praktikum Saluran Transmisi dan Telekomunikasi Radio untuk mendemonstrasikan pengkodean data 2 bit menjadi satu elemen sinyal dari empat elemen sinyal yang berbeda.

### 2. METODE PENELITIAN

Metode penelitian yang digunakan pada penelitian ini adalah desain dan implementasi penyandian saluran Decoder 2B1Q. Desain dilakukan dengan bahasa pemrograman HDL verilog sedangkan implementasi menggunakan FPGA. Decoder penyandian saluran 2B1Q akan digunakan untuk mengubah data 2B1Q ke data NRZ.



Gambar 1. Blok Diagram Decoder 2B1Q

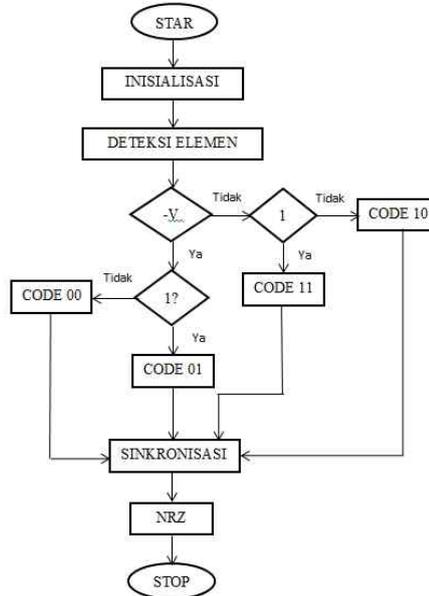
Data input 2B1Q yang masuk, sebelum sampai ke rangkaian *coding 2 bit* akan dideteksi setiap elemen sinyal. Jika terdeteksi elemen sinyal yang mewakili -3V, maka pada coding 2 bit dikodekan menjadi runtun bit 00. Jika terdeteksi elemen sinyal yang mewakili +3V, maka pada coding 2 bit dikodekan menjadi runtun bit 10. Jika terdeteksi elemen sinyal yang mewakili -1V, maka pada coding 2 bit dikodekan menjadi runtun bit

<sup>1)</sup> Korespondensi penulis: Lidemar Halide, Telp. 081355315252, lidemarhalide@gmail.com

01. Jika terdeteksi elemen sinyal yang meakili +1V, maka pada coding 2 bit dikodekan menjadi runtun bit 11. Setelah itu hasil decoding ini kemudian diteruskan ke sebuah D Flip-flop untuk sinkronisasi data NRZ sebagai output decoder 2B1Q.

### 2.1 Flowchart Sistem

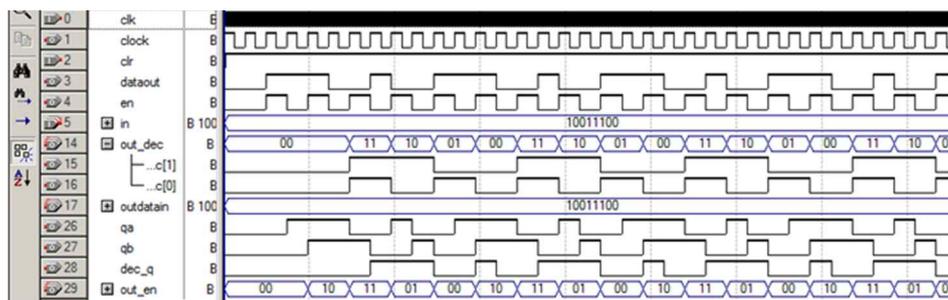
Flowchart untuk decoder 2B1Q berbasis FPGA ditunjukkan pada gambar 2.2 seperti berikut:



Gambar 2. Flowchart Decoder 2B1Q berbasis FPGA

### 2.3 Simulasi pada FPGA

Proses ini kemudian direpresentasi kedalam HDL Verilog yang akan diintegrasikan ke FPGA. Setelah koding, dilakukan kompilasi untuk memastikan kode-kode yang telah didesain tidak terjadi kesalahan. Kemudian dilakukan simulasi untuk melihat apakah input yang diberikan sudah sesuai dengan output decoder 2B1Q Altera Quartus 9.0. Quartus merupakan sebuah software yang digunakan untuk simulasi rangkaian logika secara digital dengan bahasa pemrograman VHDL ataupun Verilog. Melalui software Quartus ini, hasil pengkodean dapat di load ke dalam FPGA agar dapat dilihat hasilnya secara fisik ataupun *real*.



Gambar 3. Simulasi pada Quartus

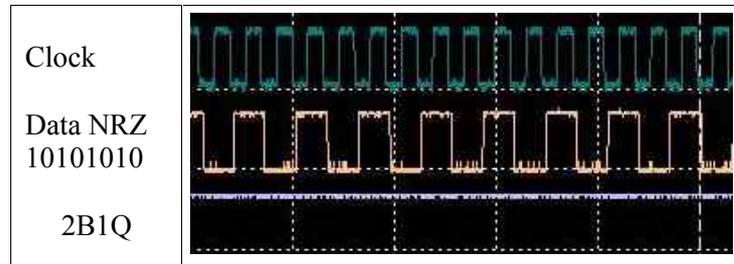
### 2.4 Integrasi FPGA

Implementasi encoder panyandian saluran 2B1Q FPGA menggunakan program aplikasi quartus. Integrasi HDL verilog encoder 2B1Q dimulai dengan sintesis untuk mengetahui frekuensi clock maksimum yang dapat digunakan. Setelah itu, dilakukan konfigurasi pin untuk menyediakan port input dan output encoder 2B1Q. Port input menggunakan clock internal. Sedangkan data input menggunakan 8 switch pada board FPGA Altera DE2. Kemudian port output memanfaatkan General Port Input Output (GPIO) pada board FPGA.

### 3. HASIL DAN PEMBAHASAN

#### 3.1 Pembangkit Polaritas 2B1Q Dengan Satu Level Tegangan

Perangkat decoder merupakan proses mengembalikan sinyal informasi ke bentuk sinyal digital. Pada rangkaian pembangkit pulsa 2B1Q, digunakan 4 level tegangan. Polaritas dan level tegangan sesuai dengan logika digunakan untuk pengkodean dua data biner. Data "00" mewakili level tegangan -3V, data "11" mewakili level tegangan +1V, data "01" mewakili level tegangan -1V, data "10" mewakili level tegangan +3V. Data 2B1Q input untuk satu level tegangan yaitu 10101010 yang ditunjukkan pada gambar 4.

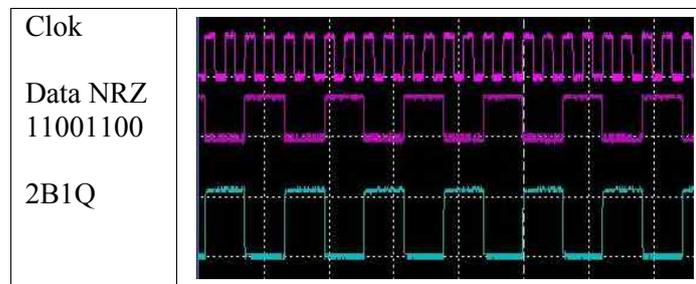


Gambar 4. Input NRZ 10101010

Data 2B1Q yang diinputkan yaitu 10101010 untuk satu level tegangan pada gambar 5.11. Gambar 1 merupakan Clock, gambar 2 merupakan input NRZ data 2B1Q dan gambar 3 merupakan output dari rangkaian pembangkit polaritas 2B1Q. Hasil pengujian pada pembangkit polaritas 2B1Q akan menghasilkan sinyal dengan level tegangan V3 sinyal ini merupakan sinyal 2B1Q runtun bit '10'. Data output 2B1Q yang dihasilkan yaitu berupa sinyal garis lurus dengan tegangan V3 karena data "10" mewakili level tegangan +3V yang merupakan nilai polaritasnya.

#### 3.2 Pembangkit Polaritas 2B1Q Dengan Dua Level Tegangan

Data 2B1Q yang diinputkan untuk dua level tegangan yaitu 11001100 yang ditunjukkan pada gambar 5.

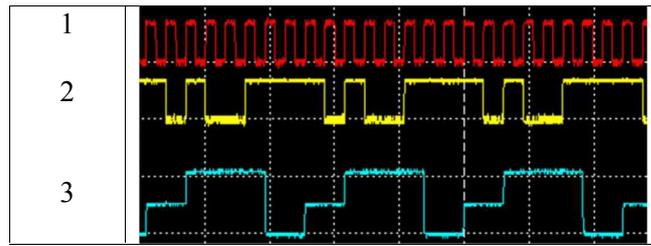


Gambar 5. Input NRZ 11001100

Data 2B1Q yang diinputkan yaitu 11001100 untuk dua level tegangan pada gambar 3.2. Gambar 1 merupakan clock, gambar 2 merupakan input NRZ data 2B1Q dan gambar 3 merupakan output dari rangkaian pembangkit polaritas 2B1Q. Hasil pengujian pada pembangkit polaritas 2B1Q akan menghasilkan sinyal dengan level tegangan V2 sinyal ini merupakan sinyal 2B1Q dengan runtun bit '11' dan '00'. Data output 2B1Q yang dihasilkan yaitu berupa sinyal dengan tegangan V2 dan V0 karena Data "11" mewakili level tegangan +1V, data "00" dinyatakan dengan level tegangan -3V merupakan nilai polaritas yang dihasilkan.

#### 3.3 Pembangkit Polaritas 2B1Q Dengan Tiga Level Tegangan

Data 2B1Q input untuk tiga level tegangan yaitu 10011110 yang ditunjukkan pada 6. Gambar 1 merupakan clock, gambar 2 merupakan input NRZ data 2B1Q dan gambar 3 merupakan output dari rangkaian pembangkit polaritas 2B1Q. Hasil pengujian pada pembangkit polaritas 2B1Q akan menghasilkan sinyal dengan level tegangan V3, V1, dan V2 sinyal ini merupakan sinyal 2B1Q dengan runtun bit '10', '01', dan '11'

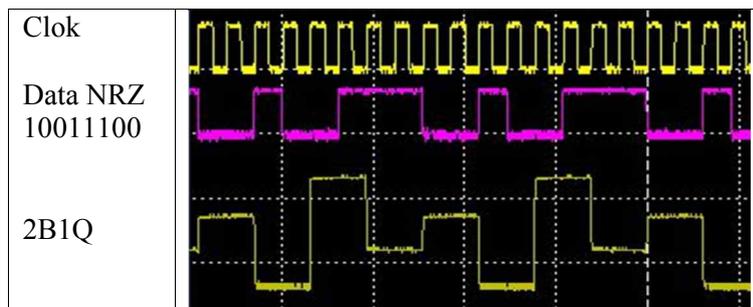


Gambar 6. Input NRZ 10011100

Data output 2B1Q yang dihasilkan yaitu berupa sinyal dengan tegangan V3, V1, dan V2 karena Data “10” mewakili level tegangan +3V, data “01” mewakili level tegangan -1V , data “11” mewakili level tegangan +1V yang dihasilkan merupakan nilai polaritasnya.

### 3.4 Pembangkit Polaritas 2B1Q Dengan Empat Level Tegangan

Data 2B1Q yang diinputkan untuk empat level tegangan yaitu 10011100 yang ditunjukkan pada gambar 3.4. Data 2B1Q yang diinputkan yaitu 10011100 untuk empat level tegangan pada gambar 7. Gambar 1 merupakan clock, gambar 2 merupakan input NRZ data 2B1Q dan gambar 3 merupakan output dari rangkaian pembangkit polaritas 2B1Q. Hasil pengujian pada pembangkit polaritas 2B1Q akan menghasilkan sinyal dengan level tegangan V3, V1, V2, dan V0 sinyal ini merupakan sinyal 2B1Q yang telah mengalami runtun bit ‘10’, ‘01’, ‘11’, dan ‘00’.



Gambar 7. Input NRZ 10011100

Data output 2B1Q yang dihasilkan yaitu berupa sinyal dengan tegangan V3, V1, V2, dan V0 karena Data “10” mewakili level tegangan +3V, data “01” mewakili level tegangan -1V , data “11” mewakili level tegangan +1V, data “00” dinyatakan dengan tegangan -3V.

Type	Slack	Required Time	Actual Time	From	To	From Clock
1 Worst-case tsu	N/A	None	8.267 ns	clr	reg2biq_u5lqb	--
2 Worst-case tco	N/A	None	12.516 ns	en_2biq_u6lout_en[0]	out_en[0]	clk
3 Worst-case tpd	N/A	None	15.879 ns	in[0]	dataout	--
4 Worst-case th	N/A	None	-1.026 ns	clr	en_2biq_u6lout_en[1]	--
5 Clock Setup: 'clk'	N/A	None	168.55 MHz ( period = 5.933 ns)	decoder2b1qu7lout_dec[1]	dec_q~reg0	clk
6 Clock Hold: 'clk'	Not operational: Clock Skew > Data Delay	None	N/A	reg2biq_u5lqb	en_2biq_u6lout_en[1]	clk
7 Total number of failed paths						

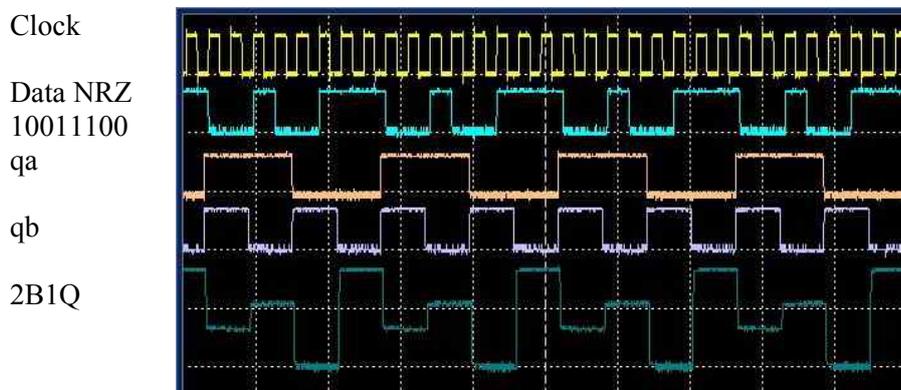
Gambar 8. Frekuensi Clock Maksimum Decoder 2B1Q

Hasil sintesis modul decoder 2B1Q pada gambar 8 menunjukkan frekuensi clock maksimum yang dapat digunakan pada implementasi perangkat keras penyandian saluran sampai 168,55 MHz. Hal ini mengindikasikan bahwa desain decoder 2B1Q pada tugas akhir ini dapat diaplikasikan pada U-Interface ISDN 160 kbps menggunakan kabel *unshielded twisted pair* sesuai dengan American National Standards Institute (ANSI) T1.601.

### 3.5 Deteksi elemen sinyal 2B1Q

Data input 2B1Q 10011100 dikodekan ke dalam 4 elemen sinyal V3, V1, V2, dan V0 dengan runtun bit ‘10’, ‘01’, ‘11’, dan ‘00’, seperti pada gambar 3.6. sebelum dikodekan ke dalam 4 elemen sinyal, setiap runtun 2 bit disimpan dalam sebuah register internal FPGA dan ditampilkan pada osiloskop secara terpisah

pada kanal 1 untuk bit pertama (qa) dan bit kedua (qb) pada kanal 2. Kedua bit ini kemudian diteruskan ke sebuah rangkaian *ladder* untuk membangkitkan 4 elemen sinyal yang sesuai dengan runtun bit '10', '01', '11', dan '00' dan merupakan output rangkaian encoder 2B1Q.



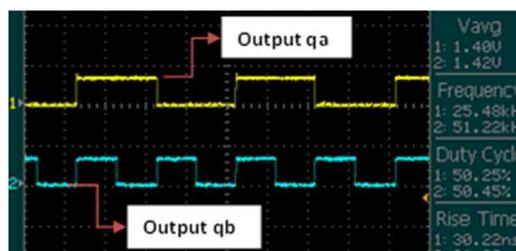
Gambar 9. Sinyal qa dan qb 2B1Q (Encoding)

Data 8 bit yang menampilkan empat level tegangan secara keseluruhan, diwakili oleh data 10011100 dan dihasilkan 4 elemen sinyal yang mewakili tegangan  $V_3$ ,  $V_1$ ,  $V_2$ , dan  $V_0$ . Dimana data "10" mewakili level tegangan +3V, data "01" dengan level tegangan -1V, data "11" dengan level tegangan +1V, dan data "00" mewakili level tegangan -3V. Representasi 4 elemen sinyal ini merupakan output encoder 2B1Q.

Proses selanjutnya adalah mendeteksi setiap elemen sinyal dan decoding setiap elemen sinyal tersebut menjadi runtun 2 bit sebagai langkah awal decoder 2b1Q. Proses ini juga akan menyimpan setiap runtun 2 bit ke dalam register internal yang dapat diamati dengan osiloskop secara terpisah dengan indeks register qa sebagai bit pertama dan qb sebagai bit kedua.

### 3.6 Decoding 2 Bit

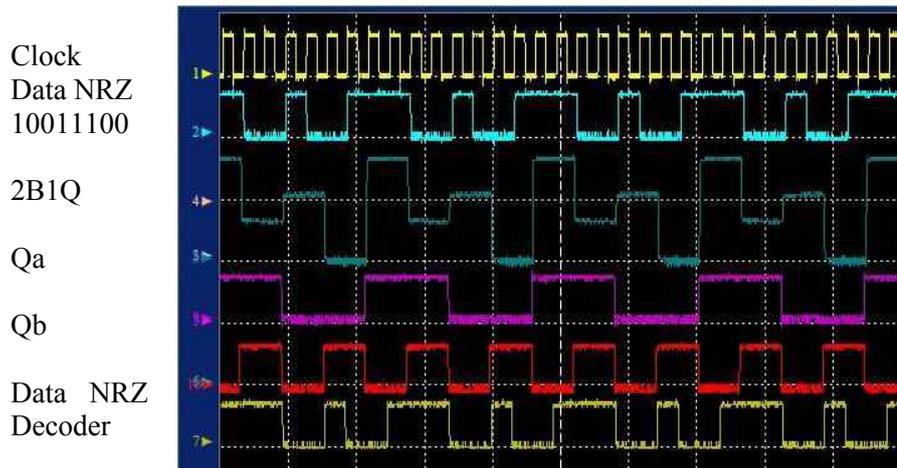
Algoritma encoder 2B1Q menyatakan runtun bit '10' merupakan elemen sinyal dengan level tegangan tertinggi dari keempat elemen sinyal, yaitu tegangan yang mewakili +3V. Kemudian berturut-turut 11, 01, dan 00. Sebaliknya pada decoder ini akan dikodekan setiap elemen sinyal menjadi runtun 2 bit. Jika terdeteksi elemen sinyal yang mewakili +3V, maka elemen sinyal tersebut akan dikodekan menjadi runtun bit "10". Hal yang sama juga akan terjadi pada elemen sinyal yang mewakili tegangan +1V, -1V dan -3V menjadi "11", "01", dan "00". Runtun bit ini masih dalam bentuk 2 bit sedangkan pada input bit-bit ini ditransmisikan secara serial (1 bit per satuan waktu). Sehingga diperlukan proses sinkronisasi untuk mengembalikan setiap runtun 2 bit menjadi data NRZ.



Gambar 10. Sinyal qa dan qb 2B1Q (Decoding)

### 3.7 Sinkronisasi

Sinkronisasi dilakukan setelah pemisahan runtun 2 bit setiap elemen sinyal untuk memulihkan setiap bit menjadi data NRZ yang sama dengan data input NRZ (10011100) encoder 2B1Q.



Gambar 11. Sinkronisasi data NRZ (Decoding)

Data NRZ output decoder 2B1Q pada gambar 4. menunjukkan data NRZ yang sama pada input encoder 2B1Q, hanya saja telah mengalami delay setelah proses encoding dan decoding. Selain itu, Gambar 11. juga mendeskripsikan keseluruhan proses encoding dan decoding penyandian 2B1Q. sehingga dapat diamati setiap porses penyandian NRZ menjadi 2B1Q dan sebaliknya dari 2B1Q ke NRZ.

Data input NRZ 8 bit sebagai *test-bench* pada penelitian ini digunakan untuk memperlihatkan output pengujian encoder penyandian saluran 2B1Q pada FPGA. Karena encoder menggunakan 4 elemen sinyal yang berbeda untuk mengkodekan setiap 2 bit input, maka testbench divariasikan untuk 4 runtun bit yang berbeda. Sehingga setiap elemen sinyal dapat diamati pada output encoder 2B1Q. Hasil desain dan implementasi encoder penyandian saluran 2B1Q menggunakan FPGA dapat memnampilkan 4 elemen sinyal yang berbeda dengan level tegangan yang telah menunjukkan algoritma penyandian saluran 2B1Q. Tetapi masih memerlukan perangkat tambahan untuk menampilkan tegangan -3V, -1V, +1V dan +3V. Walaupun demikian encoder 2B1Q ini sudah dapat digunakan untuk mendemonstrasikan penyandian saluran 2B1Q untuk memperlihatkan empat elemen sinyal yang berbeda untuk setiap runtun 2 bit yang berbeda.

#### 4. KESIMPULAN

- 1) Desain Decoder 2B1Q berbasis FPGA dapat digunakan untuk melihat proses pengkodeaan encoding dan decoding secara keseluruhan.
- 2) Implementasi decoder 2B1Q menggunakan bahasa pemrograman HDL Verilog, dengan port switch 8 bit pada FPGA sebagai input data NRZ dan outputnya dapat diamati menggunakan osiloskop pada port GPIO FPGA.

#### 5. DAFTAR PUSTAKA

- [1] Ali, Imran and Ahmad, Ali. 2013. An Efficient FPGA Based HDB3 Decoding System Using, International Journal of Future Computer and Communication Vol. 2, No. 6.
- [2] Ibrahim, KF. 1996. *Teknik Digital*. Yogyakarta: Penerbit Andi Yogyakarta.
- [3] Tokheim, Roger L. 1995. *Digital Electronics*, diterjemahkan oleh Sutisno. Jakarta: PenerbitErlangga.
- [4] Stalling, William. 1997. Data and Computer Communication. New Jersey: Prentice-Hall International, Inc.
- [5] Sandige, Ricards. 1990. Modern Digital Design. McGraw-Hill Publishing Company.
- [6] Stanley, William D. 1994, Operational Amplifier with Linier Integrated Circuit. McGraw-Hill.
- [7] Winch, Robert G. 1993. Telecommunication Transmission System. Singapura; McGraw-Hill, Inc.
- [8] Black Box Network Services. 2015. HDB3 Encoding <http://www.black-box.de/en-de/page/332/hdb3-encoding>